



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1515164 A1

(SU 4 G.06 F 12/00)

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГННТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4363503/24-24

(22) 12.01.88

(46) 15.10.89. Бюл. № 38

(72) И.В. Дементьев и А.С. Папков

(53) 681.325(088.8)

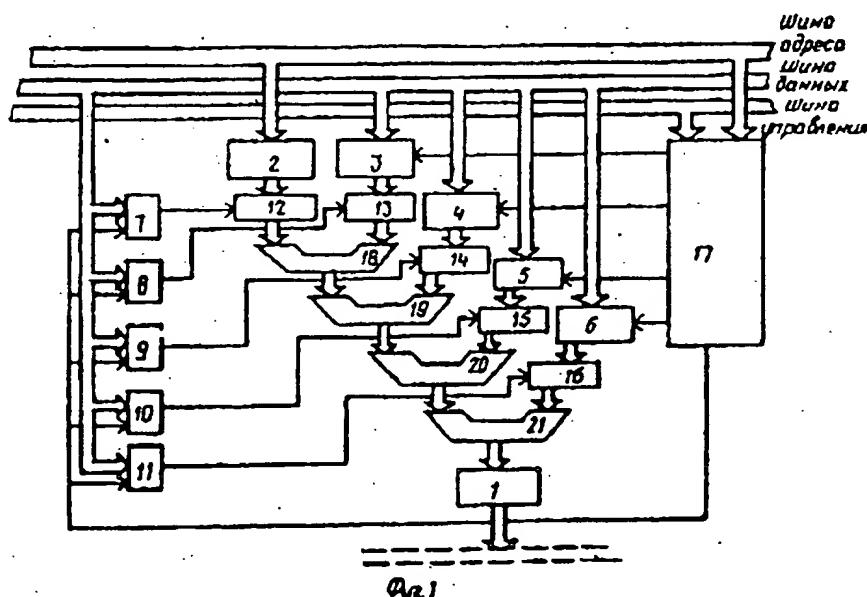
(56) Авторское свидетельство СССР
№ 1265754, кл. G 06 F 3/02, 1986

Mosley D.R. Modern microprocessor
system design, New-York, 1980, p. 86.

(54) УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ К ПАМЯТИ

(57) Изобретение относится к вычислительной технике и может быть использовано при построении систем памяти

2
микро-ЭВМ. Целью изобретения является расширение функциональных возможностей за счет аппаратного формирования адреса списка. Поставленная цель достигается путем введения в состав устройства регистров 4-11, сумматоров 18-20, мультиплексоров 12-16 и дешифратора адреса 17. При этом осуществляется многоступенчатый доступ к ячейкам системной памяти с помощью хостовой адресации, что позволяет обеспечить адресацию массива по начальному адресу базы, вследствие чего формирование адресов происходит вне центрального процессора. 2 ил.



19
SU (11) 1515164 A1

FH 009064

Изобретение относится к вычислительной технике и может быть использовано при построении систем памяти микроЭВМ.

Целью изобретения является расширение функциональных возможностей за счет аппаратного формирования адреса списка.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - мультиплексор.

Устройство (фиг. 1) содержит регистры 1-11 с первого по одиннадцатый, мультиплексоры 12-16 с первого по пятый, дешифратор 17 адреса, четвертый 18, третий 19, второй 20 и первый 21 сумматоры.

Устройство работает следующим образом.

Возможны три режима работы устройства.

1. Непосредственная адресация.

По входной (внутренней) шине адреса в регистр-зашелку 2 поступает шестнадцатиразрядный адрес ячейки системной памяти, в котором осуществляется его хранение. Затем на первые входы регистров 3-6 по шине данных подается шестнадцатиразрядный нулевой код. Одновременно с этим из входа дешифратора 17 адреса поступает адресная комбинация, в соответствии с которой выбирается первый выход данного блока. По внутреннейшине управления из другой вход дешифратора 17 адреса поступает управляющий сигнал. С приходом управляющего сигнала на первом выходе дешифратора 17 формируется стробирующий импульс, поступающий на вход записи регистра 3. Информация, находящаяся на выходе регистра 3, запоминается в нем.

Аналогично на второй вход дешифратора 17 поступают адресные комбинации, выбирающие последовательно 2-й, 3-й и 4-й его выходы. В результате этого нулевой код, поступающий на 4-й, 5-й и 6-й выходы регистров, записывается в них. Далее по внутреннейшине данных на входы регистров 7-11 подаются четырехразрядные коды управляющие мультиплексорами 12-16. Одновременно по внутреннейшине адреса на второй вход дешифратора 17 поступает адресная комбинация, выбирающая пятый выход этого дешифратора, а по внутреннейшине управления - сигнал стробирования дешифратора 17.

5 формирующий стробирующий импульс для регистра 7-11, с приходом которого коды управления схемами мультиплексирования "запоминаются" в этих регистрах. Управляющие коды поступают с выходов этих регистров на управляющие входы мультиплексоров 12-16, коммутируют их таким образом, что информация, хранящаяся в регистрах 2-6, проходит через них на входы сумматоров 18-21 без изменения.

Результат операции сложения с выхода сумматора 18 подается на первый вход сумматора 19 (аналогично для сумматоров 19-21). В результате этих операций, на выходе сумматора 21 формируется физический адрес ячейки системной памяти, который запоминается в регистре 1.

2. Косвенная адресация.

В регистр 2 по внутреннейшине адреса заносится смещение адреса ячейки системной памяти. При этом в регистры 3-6 записываются базовые адреса ячеек системной памяти. В регистры 7-11 по внутреннейшине данных поступают коды, определяющие смещение информации в мультиплексорах 12-16. Все последующие операции аналогичны работе устройства в первом режиме.

3. Относительная адресация.

Данный режим необходим для поиска элементов списка и состоит из двух шагов.

Работа на первом шаге полностью совпадает с работой устройства в первом режиме.

Второй шаг заключается в следующем.

После нахождения физического адреса из ячеек системной памяти считаются данные, которые затем поступают по внутреннейшине данных в регистр 3, после этого в регистры 2, 4, 5, 6 заносятся нулевые коды. Затем в регистры 7-11 заносятся коды, определяющие смещение информации, хранящейся в регистрах 3. После выполнения операций сложения в сумматорах 18-21 в регистре 1 находится физический адрес следующей ячейки системной памяти. Данные, прочитанные из этой ячейки, поступают по внутреннейшине данных в регистр 4. Аналогично в регистры 2, 3, 5, 6 заносятся нулевые коды. Перечисленные выше операции производятся для регистров 5, 6. В результате всех указанных действий в реги-

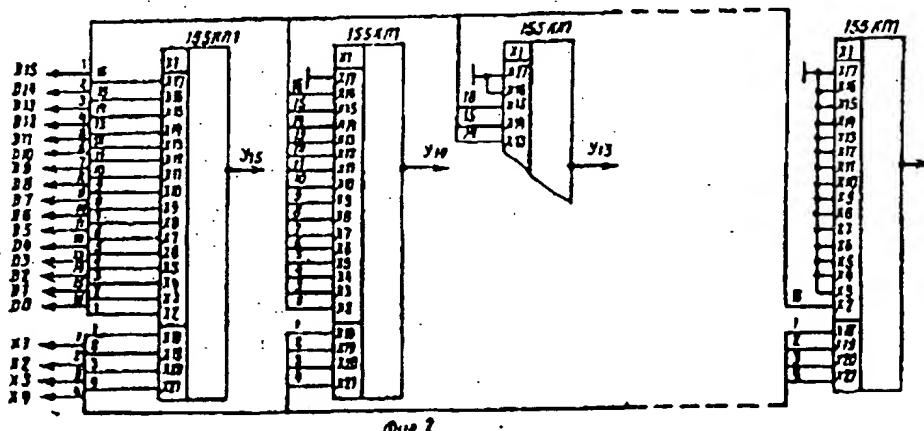
стр. 1 будет получен физический адрес элемента списка.

Таким образом, за счет введения в схему регистров 4-11, мультиплексоров 5 12-16, дешифратора 17 адреса и сумматоров 18 - 20 устройство приобретает новую, описанную выше функцию, что в конечном итоге позволяет сократить количество обращений центрального процессора к системной памяти при выполнении программы.

Ф о р м у л а и з о б р е т е н и я

Устройство для адресации к памяти, 15 содержащее с первого по третий регистры и первый сумматор, выход которого соединен с информационным входом первого регистра, выход которого является выходом физического адреса 20 устройства, информационные входы второго и третьего регистров являются соответственно адресными и информационными входами устройства, отладочная 25 панель с тем, что, с целью расширения функциональных возможностей за счет аппаратного формирования адреса списка, в него введены регистры с четырнадцатибитовым, мультиплексорами с первого по пятый, сумматорами с второго по четвертый и дешиф- 30

тором адреса, причем информационные входы регистров с четвертого по одиннадцатый соединены с информационным входом устройства, выходы регистров с второго по шестой соединены соответственно с информационными входами мультиплексоров с первого по пятый, выходы сумматоров с второго по четвертый соединены соответственно с первыми входами сумматоров с первого по третий, первый вход четвертого сумматора соединен с выходом первого мультиплексора, вторые входы сумматоров с первого по четвертый соединены соответственно с выходами пятого, четвертого, третьего и второго мультиплексоров, выходы регистров с седьмого по одиннадцатый соединены соответственно с управляющими входами мультиплексора с первого по пятый, адресный вход дешифратора адреса соединен с адресным входом устройства, вход стробирования дешифратора адреса является входом управления устройства, выходы дешифратора адреса с первого по четвертый соединены соответственно с входами записи регистров с третьего по шестой, пятый выход дешифратора адреса соединен с входами записи регистров с седьмого по одиннадцатый.



Фиг.2

FH 009066

Annex 17

SU No 1515164, published October 15, 1989

Specification of Invention to Certificate of Authorship 1515164 A1

[21] 4363593/24-24

[19] SU [1] 1515164 A1

[22] Filed: Jan. 12, 1988

[51] Int. Cl. G 06 F 12/00

[46] Oct. 15, 1989, Bulletin No 38

[53] UDC 681.325 (088.8)

[72] Inventors: I.V. Dementiev and A.S. Papkov

[54] A DEVICE FOR ADDRESSING MEMORY

[57] The invention relates to the computer engineering and may be used in building a microcomputer memory system. An object of the invention is in widening the functional possibilities by generating a list address by hardware. The object is achieved by adding registers 4 - 11, adders 18 - 20, multiplexers 12 - 16 and address decoder 17 to the device. The stepped access to the system memory locations is carried out by indirect addressing allowing one to make the array addressable to the initial base address, that is why the addresses are generated out of the central processor.

Fig. 1

Address bus

Data bus

Control bus

Fig. 1 is a functional device schematic; Fig. 2 is a multiplexer.

The device (Fig. 1) comprises registers 1 - 11, from the first through eleventh; multiplexers 12 - 16 from the first through fifth; address decoder 17; adders the forth 18, third 19, second 20 and first 21.

The device operates as follows.

FH 009067

Three modes of the device operation are possible.

1. Direct addressing

System memory location 16-bit address enters latch-register 2 through input (internal) address bus to be stored in. Then 16-bit zero code is transmitted to the first inputs of registers 3 - 6 through the data bus. At the same time an address combination is transmitted to decoder 17 input; the combination being used to chose the first output of the unit. A control signal is transmitted through the internal control bus to another address decoder 17 input. Upon receiving the control

signal a strobe pulse, transmitted to register 3 writer input, is generated at decoder 17 first output. The information from register 3 input is stored in it.

Similarly, the address combinations, that subsequently select the 2-nd, 3-rd and 4-th decoder 17 outputs are received by decoder 17 second input. As a result, the zero code, received by the 4-th, 5-th and 6-th inputs of registers, is stored in those. Then 4-bit codes to control multiplexers 12 – 16 are transmitted to inputs of registers 7 – 11 through the internal data bus. At the same time the address combination, that selects the decoder fifth output, is received by decoder 17 second input through the internal address bus, while decoder 17 strobe signal is transmitted through the internal control bus, the strobe signal generating the strobe pulse for registers 7 – 11. Upon receiving the strobe pulse the multiplexing circuitry control codes become "latched" within these registers. The control codes are transmitted from the register outputs to multiplexers 12 – 16 control inputs to switch those in such a way that the information, stored in registers 2 – 6, is passed through those to adders 18 – 21 inputs without being changed.

The addition operation result from adder 18 output is transmitted to adder 19 first input (similar to adders 19 – 21). As a result of these operations a system memory location physical address, stored in register 1, is generated at adder 21 output.

2. Deferred addressing

The system memory location shift is entered to register 2 through the internal address bus. The base system memory location addresses are entered to registers 3 – 6. The codes, determining the information shift in multiplexers 12 – 16, are transmitted to registers 7 – 11 through the internal data bus. All the subsequent operations are similar to those from the first mode of operation.

3. Relative addressing

This mode of operation is needed to look for the list elements and consists of two steps.

The first step operation is completely the same as that in the first mode of operation.

The second step is as follows.

As soon as the physical address is found the data, subsequently transmitted through the internal data bus to register 3, are read from the system memory location, and then the zero codes are entered to registers 2, 4, 5, 6. Then the codes, determining the shift of information, stored in register 3, are entered to registers 7 – 11. Upon completing the addition operation by adders 18 – 21 the physical address of the subsequent system memory location is in register 1. The data, read from such a location, are transmitted through the internal data bus to register 4. Similarly the zero codes are entered to registers 2, 3, 5, 6. The above operations are carried out for registers 5, 6. As a result of all the above actions a list element physical address will be received by register 1.